

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-281465

(43)Date of publication of application : 31.10.1997

(51)Int.Cl. G02F 1/133
G02F 1/136
G09G 3/36
H01L 29/786

(21)Application number : 08-118288 (71)Applicant : SEMICONDUCTOR ENERGY
LAB CO LTD

(22)Date of filing : 16.04.1996 (72)Inventor : KOYAMA JUN

(54) ACTIVE MATRIX CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a leakage current in a switching element of serially connecting plural transistors by connecting its one end to a data signal line and the other end to a pixel electrode, controlling respective transistors with gate signal lines independent of each other and serially connecting the transistors.

SOLUTION: A first switching element is controlled by first, second selection signal lines, and a second switching element is controlled by second, third selection signal lines. The switching element is constituted of two transistors (Tr1 and Tr2), and the Tr1 and Tr2 are controlled respectively by different gate signal lines. For instance, two gate signal lines (Xn and Zn) per row are provided (B). However, the Zn is connected to the gate signal line Xn+1 one row below on the outside of a matrix, and thus, the

same voltage is applied them.

LEGAL STATUS [Date of request for examination] 29.09.1999

[Date of sending the examiner's decision of rejection] 18.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3468986

[Date of registration] 05.09.2003

[Number of appeal against examiner's decision of rejection] 2001-018638

[Date of requesting appeal against examiner's decision of rejection] 18.10.2001

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pixel electrode arranged in the shape of a matrix on a substrate, a selection-signal line, and the data signal line arranged so that said selection-signal line may be intersected, In the active-matrix circuit which has the switching element which connects with each of said pixel electrode, and connects with a data signal line the 1st switching element It is controlled by the 2nd selection-signal line which adjoins the 1st selection-signal line and said 1st selection-signal line. The 2nd switching element linked to the same data signal line as what adjoins the 1st switching element and the 1st switching element connects The active-matrix circuit

characterized by being controlled by the 3rd selection-signal line which adjoins said 2nd selection-signal line and said 2nd selection-signal line.

[Claim 2] The pixel electrode arranged in the shape of a matrix on a substrate, a selection-signal line, and the data signal line arranged so that said selection-signal line may be intersected, In the active-matrix circuit which has the switching element which connects with each of said pixel electrode, and connects with a data signal line the 1st switching element It is controlled by the 2nd selection-signal line which adjoins the 1st selection-signal line and said 1st selection-signal line. The 2nd switching element linked to the same data signal line as what adjoins the 1st switching element and the 1st switching element connects The active-matrix circuit characterized by being controlled by the 4th selection-signal line which adjoins said 3rd selection-signal line and said 3rd selection-signal line, and impressing the same signal to said 2nd selection-signal line and the 3rd selection-signal line.

[Claim 3] The active-matrix circuit characterized by preparing the conductive protection-from-light layer which covered said data signal line and the selection-signal line, and was held in claim 1 or claim 2 at fixed potential, and forming capacity with this protection-from-light layer and a pixel electrode.

[Claim 4] It is the active-matrix circuit characterized by for each of a switching element connecting two or more transistors to a serial in claim 1 or claim 2, being formed, and forming capacity between the middle part of the transistor which constitutes said 1st switching element, and said 2nd signal line.

[Claim 5] The pulse which the pulse impressed to the 1st signal line has a lap in, claim 1 on the pulse and time amount target which are impressed to the 2nd signal line, and is impressed to the 2nd signal line is a active-matrix circuit characterized by having a lap on the pulse impressed to the 3rd signal line, and a time amount target.

[Claim 6] The pulse which the pulse impressed to the 1st signal line has a lap in claim 2 on the pulse and time amount target which are impressed to the 2nd signal line, and is impressed to the 3rd signal line is a active-matrix circuit characterized by having a lap on the pulse impressed to the 4th signal line, and a time amount target.

[Claim 7] It is the active-matrix circuit which, as for said 1st switching element, said 1st selection-signal line crosses a semi-conductor coat in claim 1 or claim 2, and is characterized by said 2nd switching element having the configuration in which said 2nd selection-signal line crosses said semi-conductor coat twice [at least].

[Claim 8] It is the active-matrix circuit characterized by being $a > b$ when a unit pixel makes the aspect ratio $a:b$ in claim 1.

[Claim 9] It is the active-matrix circuit characterized by being $a < b$ when a unit pixel makes the aspect ratio $a:b$ in claim 2.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a active-matrix circuit. The active-matrix circuit of this invention is used for a liquid crystal display etc.

[0002]

[Description of the Prior Art] The schematic diagram of the conventional example of a active-matrix display is shown in drawing 6 (A). The field surrounded with the broken line in drawing is a viewing area, and the transistor (Tr) single as a switching element is arranged in the shape of a matrix in it. When the n-th line m-th train in this matrix is observed, wiring linked to the source of said transistor is an image (data) signal line (Ym), and wiring linked to the gate electrode of said transistor is a gate (selection) signal line (Xn).

[0003] Here, if its attention is paid about a switching element, said transistor will switch data and will drive a liquid crystal cell (LC). Auxiliary capacity (C) is used as an object for maintenance of image data by the capacitor for reinforcing the capacity of a liquid crystal cell. It is used for said transistor switching the image data of the electrical potential difference impressed to liquid crystal. The greatest trouble at the time of using a transistor as a switching element was the leakage current (leakage current or OFF current) in the condition (condition of not choosing) of not impressing the selection pulse to the gate. When the leakage current was large, the charges accumulated in a pixel electrode or auxiliary capacity decreased in number easily, and the display property got worse.

[0004]

[Problem(s) to be Solved by the Invention] The gate signal line which was made in view of the above-mentioned problem, connected the end to the data signal line, and connected the other end to the pixel electrode in the switching element which connected two or more transistors to the serial, and carried out mutually-independent [of the control of each transistor] performs this invention. The leakage current decreases by connecting a transistor to a serial.

[0005]

[Means for Solving the Problem] [when the 1st of this invention has the 1st and 2nd switching elements which adjoined mutually and were connected to the same data signal line and there is the 1st thru/or 3rd three continuous gate signal line] It is

characterized by controlling the 1st switching element by the 1st and 2nd selection-signal lines, and controlling the 2nd switching element by the 2nd and 3rd selection-signal lines.

[0006] [when the 2nd of this invention has the 1st and 2nd switching elements which adjoined mutually and were connected to the same data signal line and there is the 1st thru/or 4th four continuous gate signal line] The 1st switching element is controlled by the 1st and 2nd selection-signal lines, the 2nd switching element is controlled by the 3rd and 4th selection-signal lines, and it is characterized by impressing the same signal to said 2nd selection-signal line and the 3rd selection-signal line.

[0007] The circuit diagram showing the 2nd concept of this invention for the circuit diagram showing the 1st concept of this invention in drawing 1 (B) again is shown in drawing 1 (A), respectively. The field surrounded by the dotted line in drawing shows a unit pixel. That is, a switching element is constituted by two transistors (Tr1 and Tr2) also in any of drawing 1 (A) and (B). And Tr1 and Tr2 are controlled by gate signal line different, respectively. In drawing 1 (B), two gate signal lines per each line (X_n and Z_n) are formed. However, it is Z_n as shown in drawing. Gate signal line X_{n+1} under one line It connects on the outside of a matrix, namely, the same signal is impressed.

[0008] In the 1st of this invention, and the 2nd, it is also possible to prepare auxiliary capacity (C) as shown in drawing 6 . However, although it was also possible to have formed capacity between the gate signal lines (X_{n+1}) which in the conventional case adjoin as shown in drawing 7 , in this invention, it is not desirable. It is because the gate signal line which adjoins a pixel electrode in this invention is a gate signal line which drives the pixel concerned, so there is fluctuation (it is called a through voltage drop) of the potential of a pixel electrode according to ON/OFF of a selection pulse.

[0009] For this reason, as for auxiliary capacity, in this invention, forming among other wiring is desirable. For example, it is good to form a protection-from-light layer with a conductive ingredient, to hold this to fixed potential, to establish the lap of this and a pixel electrode, and to consider as capacity. Moreover, as shown in drawing 1 (C), between the part between Tr1 and Tr2 (middle part), and the gate signal line which controls Tr2, a lap is established and it is good also as a capacity. However, it is not desirable to prepare capacity between the gate signal lines which control Tr1. The reason is mentioned later. Although drawing 1 (C) is the case where it applies to the circuit of drawing 1 (A), it is applicable also like the circuit of drawing 1 (B).

[0010] Although guided from the above argument, in the 1st of this invention, the pulse impressed to the 1st signal line has the pulse impressed to the 2nd signal line, and a time lap, and the pulse similarly impressed to the 2nd signal line has the pulse impressed to the 3rd signal line, and a time lap. Without the pulse impressed to the 2nd signal line, and a time lap, the pulse impressed to the 1st signal line cannot set Tr1 and Tr2 to ON at coincidence, therefore cannot charge a pixel electrode.

[0011] Similarly, the pulse impressed to the 1st signal line also in the 2nd of this

invention has the pulse impressed to the 2nd signal line, and a time lap, and the pulse (it is the same as what is impressed to the 2nd signal line) impressed to the 3rd signal line has the pulse impressed to the 4th signal line, and a time lap.

[0012] This situation is shown in drawing 2. Drawing It sets to 2 and is V_n . The electrical-potential-difference condition of the gate signal line X_n of drawing 1 (A) is shown, and it is D_m . Data signal line Y_m An electrical-potential-difference condition is shown. It is V_n as shown in drawing. V_{n+1} and V_{n+1} V_{n+2} A pulse laps mutually. And D_m when lapping (for example, written in the pixel electrode with which D (Z_n and m) corresponds to Pixels Z_n and m , and D (Z_{n+1} and m) corresponds to pixel Z_{n+1} and m .) V_{n+2} D_m **** -- a comparison sake -- V_n It wrote together by the dotted line.

[0013] Drawing 2 (A) shows the case where it is impressed by drawing 2 (B) one by one [a selection pulse] from the bottom when a selection pulse is impressed one by one from a top, respectively. In the case of drawing 2 (B), it is a data signal D_m . It is good even if [like drawing 2 (C)]. the above description -- the order from a top -- ** -- the order from the bottom -- **, although an expression which is said was carried out If this is more generally expressed, the former will impress a selection pulse to the transistor ($Tr1$) linked to "data signal line previously (). that is, $Tr1$ serves as ON previously and serves as OFF -- it is" method and the latter serves as a method "which impresses a selection pulse to the transistor ($TR2$) linked to a pixel electrode previously" (that is, $Tr2$ serves as ON previously and serves as OFF).

[0014] Since capacity does not function as an auxiliary capacity when forming capacity between specific gate signal lines and impressing a selection pulse sequentially from the bottom (refer to the above for a general expression), as shown in drawing 1 (C), cautions are required.

[0015] For example, the case of drawing 2 (B) is considered. Pixels Z_n and m When its attention is paid, of course, $Tr1$ and $Tr2$ are the data D (Z_n and m) which should be written in the pixel concerned in the condition of being ON at coincidence. Then, although $Tr2$ serves as OFF and only $Tr1$ maintains ON condition, data change to the following in that case. Of course, since $Tr2$ is OFF, the potential of the pixel capacity LC is not changed. However, the following data will be written in the auxiliary capacity C. Therefore, capacity C does not turn into auxiliary capacity of the pixel capacity LC. The same is said of the case of drawing 2 (C).

[0016] In this invention, it is impossible to continue for all the periods whose $Tr(s)1$ are in ON condition, and to continue sending the data of the pixel concerned. $Tr1$ is because it is concerned also with control of the signal of the pixel on it.

[0017] The reason it is not desirable forming capacity from the above argument between the gate signal lines (X_n) which control $Tr1$ previously can be explained. In such circuit arrangement, in order to avoid fluctuation of capacity C and the potential of the pixel electrode by association of a gate signal line, it is required to set $Tr2$ to OFF previously (namely, method which impresses a selection pulse sequentially from

the bottom). However, even after Tr2 is set to OFF in that case, Tr1 is ON and the signal which is not the thing of the pixel concerned is written in capacity C. Therefore, capacity C is unsuitable as an auxiliary capacity. moreover, when Tr1 serves as OFF, the potential of capacity C is the same as the potential of a gate signal line -- ** -- it descends greatly and such a capacity is not desirable in this semantics, either.

[0018] When impressing a selection pulse sequentially from a top, even if Tr1 serves as OFF previously, the potential of the capacity C in that case is the same as the potential of the pixel capacity LC and Tr2 is set to OFF after that, since there is already no exchange of a current with a data signal line, a problem is not produced at all.

[0019]

[Example]

[Example 1] This example is explained using drawing 3 thru/or drawing 5 . Signs that the active-matrix circuit of this example was seen from the top face in order of the making process are shown in drawing 3 . Drawing 4 shows notionally the cross section of making processes, such as a component, wiring, etc. which constitutes the circuit of this example. Drawing 5 shows the circuit diagram of the active-matrix circuit of this example. The sectional view of drawing 4 is a notional drawing in which the making process of the component and wiring which does not correspond with the cross section of the specific part of drawing 3 , and is used by this example to the last is shown.

[0020] The island-shape crystalline semi-conductor coat 11 is formed by the well-known approach on the substrate 10 which has an insulating front face. Furthermore, it is covered and gate dielectric film 12 is formed. And the gate signal line 13 is formed. (Drawing 3 (A) and drawing 4 (A))

And the impurity of N type or P type is introduced into the semi-conductor coat 11 in self align by using the gate signal line 13 as a mask, and the source 14 and a drain 15 are formed. Furthermore, the gate signal line 13 is covered and the 1st layer insulation object 16 is deposited. (Drawing 4 (B))

[0021] Next, the contact hole which leads to the source 14 is formed, and the data signal line 17 is formed. Furthermore, a data signal line is covered and the 2nd layer insulation object 18 is deposited. (Drawing 3 (B) and drawing 4 (C))

Next, the metallic protection-from-light layer 19 is formed in the field which should shade. (Drawing 3 (D))

Furthermore, the protection-from-light layer 19 is covered and the 3rd layer insulation object 20 is deposited. And the 1st thru/or 3rd layer insulation object 16, 18, and 20 is etched, and the contact hole which reaches a drain 15 is formed.

[0022] Furthermore, the pixel electrode 21 is formed with a transparent conductive coating. Under the present circumstances, the pixel electrode 21 is formed so that it may lap with the protection-from-light layer 19, and capacity 22 is formed with the

protection-from-light layer 19 and the pixel electrode 21. (Drawing 4 (D))

In this way, a circuit as shown in drawing 5 can be obtained. In this example, the capacity 22 obtained with the protection-from-light layer 19 (maintained at fixed potential at the time of use) and the pixel electrode 21 is used as an auxiliary capacity of pixel capacity. (Drawing 5)

[0023] In this example, the die length of the semi-conductor coat 11 is mostly determined by spacing of a gate signal line so that drawing 3 may also show. If spacing of a gate signal line is large, the semi-conductor coat 11 will become long inevitably, and resistance of a circuit will increase. Therefore, it is suitable for the circuit has the configuration of a pixel long in the direction which met the gate signal line and where spacing of a gate signal line is narrow, i.e., what. On the contrary, since spacing of a gate signal line is large, this example is not suitable what has the configuration of a pixel long in the direction which met the data signal line.

[0024] Generally the configuration of a pixel is determined by the configuration of the whole screen. What has effectiveness in this example serves as $a > b$, when the aspect ratio (the ratio of width and length, i.e., the die length of the side of the direction of a gate-signal line, the die length of the side of the direction of a data signal line) of screens, such as EDTV and HDTV, is made into $a:b$. An aspect ratio is the thing of 3:2 or more, 16:9 [for example,], and, specifically, it is suitable for the monochromatic thing (for example, panel used for the display of a projection (projection) mold).

[0025] [Example 2] This example is explained using the circuit diagram shown in drawing 8 (A). The production process is substantially [as what was shown in the example 1] the same, and a sign's is [this example] the same. However, in circuit arrangement, as shown in drawing 8 (A), it is characterized by forming capacity 22 between the 1st transistor and the 2nd transistor. And capacity is not formed between gate signal lines as shown in drawing 1 (C), but capacity is formed between the conductive films 19 for black matrices like an example 1. Thus, also in the prepared capacity, it can be used like the auxiliary capacity C of drawing 1 (C). (Drawing 8 (A))

[0026] Examples of arrangement, such as actual wiring of the above circuits, are shown in drawing 14. The sign in drawing 14 is the same as the thing of an example 1. As shown in drawing, the semi-conductor coat 11 is formed broadly and the capacity which used the layer insulation object as the dielectric is formed between this and the conductive film (not shown) formed on it. (Drawing 14)

[0027] [Example 3] This example is explained using the circuit diagram shown in drawing 9. In this example, the gate signal line which controls the 1st transistor (transistor linked to a data signal line), and the gate signal line which controls the 2nd transistor (transistor linked to a pixel electrode) are separated, namely, in drawing 9 (A), X_{2n} , X_{2n+2} , X_{2n+4} , and are the former, and X_{2n+1} , X_{2n+3} , and are the latters. Similarly, in drawing 9 (B), X_{2n+1} , X_{2n+3} , and are the former, and X_{2n} ,

X_{2n+2} , X_{2n+4} , and ... are the latters. For example, in the circuit shown in drawing 1, all gate signal lines control the 1st transistor and the 2nd transistor. [0028] In such a circuit, as the signal impressed to a gate signal line is also shown in the right of the circuit diagram of drawing 9 (B) unlike what is shown in drawing 2, the pulse shape impressed to the gate signal line which controls the 1st transistor differs from what is impressed to the gate signal line which controls the 2nd transistor. If the driving signal shown in drawing 9 (B) is used, after setting the 2nd transistor to OFF previously, in each pixel, the 1st transistor will be made with OFF. In this reverse actuation (the 2nd transistor is set to OFF after setting the 1st transistor to OFF), some charges accumulated in the 2nd transistor of ON condition move to a pixel electrode, and it causes [of a pixel electrode] potential fluctuation.

[0029] [Example 4] This example is explained using drawing 10 (A). This example shows actual arrangement of the active-matrix circuit which has the circuit diagram of drawing 1 (B). The manufacture approach of the circuit of this example is the same as that of an example 1, and the sign of drawing 10 (A) of it is the same as that of the thing of an example 1. Drawing 10 (A) shows arrangement of wiring of a unit pixel, and shows the situation in the process equivalent to drawing 3 (B). In this example, it differs in an example 1, and two gate signal lines per line are required, and a numerical aperture falls. However, since the die length of the semi-conductor coat 11 is not restricted by spacing of a gate signal line, when the aspect ratio made unsuitable in the example 1 is made into a:b, even if it becomes $a < b$, it is satisfactory in any way.

[0030] The difference between the circuit (namely, circuit shown by drawing 1 (B)) of this example and the circuit (namely, circuit shown by drawing 1 (A)) of an example 1 is explained using drawing 15. In order to simplify, only a gate signal line and a data signal line are shown in drawing 15, and a semi-conductor coat etc. is not shown in it.

[0031] First, as shown in drawing 15 (A) and (B), a pixel considers an oblong (aspect ratio 3:1) thing. wiring (a gate signal line and data signal line) occupied to a unit pixel (it expresses as the rectangular head of a dotted line all over drawing) when this example is adopted (drawing 15 (A)) -- as compared with the case (drawing 15 (B)) of an example 1, it becomes large comparatively. For this reason, it is not desirable to apply this example to an oblong pixel. (Drawing 15 (A), this drawing (B))

[0032] Next, a pixel considers a longwise (aspect ratio 1:3) thing. The rate of wiring (a gate signal line and data signal line) occupied to a unit pixel (it expresses as the rectangular head of a dotted line all over drawing) even when this example is adopted (drawing 15 (C)) does not change as a lot as the case (drawing 15 (D)) of an example 1. On the contrary, in the thing of an example 1, although not shown in drawing, since a semi-conductor coat becomes long, the resistance poses a problem. In addition, the rate of occupying to the unit pixel of a semi-conductor coat is also large. For this reason, it is not desirable to apply this example to an oblong pixel. (Drawing 15 (C), this drawing (D))

[0033] The above longwise pixels are used for per unit picture element in the color display panel which has three pixels corresponding to the three primary colors also in the display panel of the usual aspect ratio 4:3. That is, in such a panel, although a unit picture element is a square mostly, since a unit picture element is trichotomized by the line writing direction, a unit pixel becomes the longwise thing of an aspect ratio 1:3.

[0034] [Example 5] This example is explained using drawing 10 (B) and this drawing (C). This example develops further the active-matrix circuit which has the circuit diagram of drawing 1 (A). The manufacture approach of the circuit of this example is the same as that of an example 1, and the sign of drawing 10 (B) of it is the same as that of the thing of an example 1. Drawing 10 (B) shows arrangement of wiring of a unit pixel, and shows the situation in the process equivalent to drawing 3 (B). Moreover, the circuit diagram of a unit pixel is shown in drawing 10 (C). In addition, auxiliary capacity is constituted using some of conductive black matrix coats and pixel electrodes like an example 1.

[0035] In this example, it is related with the 2nd switching element, and is gate signal line X_{n+1} . Much more leakage current reduction can be aimed at by considering as the so-called multi-gate type formed so that a semi-conductor coat might be crossed twice [at least] or more of transistor. Although drawing 10 (B) applies a multi-gate mold transistor in the circuit shown in drawing 1 (A), it is clear that its it is applicable similarly in the circuit (circuit arrangement) shown in drawing 1 (B) (or drawing 10 (A)).

[0036] [Example 6] This example is shown in drawing 11 and drawing 12 . The active-matrix circuit of this example shows actual arrangement of the circuit diagram shown in drawing 1 (C). Signs that the active-matrix circuit of this example was seen from the top face in order of the making process are shown in drawing 11 . Drawing 12 shows notionally the cross section of making processes, such as a component, wiring, etc. which constitutes the circuit of this example. The sectional view of drawing 12 is a notional drawing in which the making process of the component and wiring which does not correspond with the cross section of the specific part of drawing 11 , and is used by this example to the last is shown.

[0037] On the substrate 10 which has an insulating front face, the gate signal line 13 and it are covered and gate dielectric film 12 is formed. Furthermore, the island-shape amorphous semiconductor coat 11 is formed by the well-known approach. (Drawing 11 (A) and drawing 12 (A))

And the semi-conductor coats 14 (source) and 15 (drain) of N type or P type are formed by the well-known semi-conductor coat formation approach. Here, in the part (left-hand side of drawing 12) which forms a switching element, the semi-conductor coats 14 and 15 are formed so that it may be divided by the gate signal line. Conversely, in the part (right-hand side of drawing 12) which forms the auxiliary capacity 22, it forms so that a gate signal line may be crossed. (Drawing 11 (B) and drawing 12 (B))

[0038] Next, the data signal line 17 is formed with a well-known metal wiring formation technique. In this way, the principal part of a circuit is formed. Then, a pixel electrode and a protective coat are formed and it completes. (Drawing 11 (C) and drawing 12 (C))

In this example, since the auxiliary capacity 22 is constituted by the gate signal line 13 and the semi-conductor coat 15, it has the description that it is not necessary to form two or more layer insulation objects like an example 1.

[0039] [Example 7] This example is shown in drawing 8 (B) and drawing 13 . The production process of the active-matrix circuit of this example is substantially [as an example 6] the same, and the same is said of the sign. This example is related with the example which prepares the auxiliary capacity between the gate signal lines shown [in / as shown in drawing 8 (B) / for the circuit diagram / the circuit of drawing 1 (B)] in drawing 1 (C). Actual arrangement is shown in drawing 13 . That is, when some semi-conductor coats 11 lap with the gate signal line 13 (Zn), it becomes the auxiliary capacity 22.

[0040]

[Effect of the Invention] As shown above, the voltage drop of a liquid crystal cell can be controlled by connecting two or more thin film transistors and suitable capacity. This invention is effective in the application as which more advanced image display is required. That is, to express the very delicate shade of 256 or more gradation, discharge of a liquid crystal cell needs to be stopped to 1% or less among one frame. The conventional method (drawing 6) was not a thing suitable for this purpose.

[0041] Moreover, this invention is suitable also for the active-matrix display using the thin film transistor of the crystalline silicon semi-conductor suitable for the purposes, such as a display of a matrix especially with many line counts. It is not suitable to use the thin film transistor of an amorphous silicon semi-conductor by the matrix with many line counts, generally, since the selection time amount per line is short. However, it poses a problem that the thin film transistor using a crystalline silicon semi-conductor has many OFF currents. For this reason, the contribution also with this big field is possible for this invention which can reduce an OFF current.

[0042] In an example, although detail of a making process was not given, since this invention relates to arrangement of a circuit, and a design, it is clear that face to apply the well-known various component and wiring formation approaches to this invention, and it is not contradictory at all. For example, it faces carrying out this invention also with the transistor component which has the so-called low concentration drain (LDD), or the transistor (for example, JP,5-114724,A, this 5- 267667) which has offset gate structure, and is convenient in any way.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The active-matrix circuit diagram by this invention is shown.

[Drawing 2] The example of a drive of the active-matrix circuit by this invention is shown.

[Drawing 3] The production process of the active-matrix circuit element of an example is shown.

[Drawing 4] The concept of the production process of the circuit element of an example is shown. (Sectional view)

[Drawing 5] The circuit diagram of the active-matrix circuit of an example is shown.

[Drawing 6] The circuit diagram of the conventional active-matrix circuit is shown.

[Drawing 7] The circuit diagram of the conventional active-matrix circuit is shown.

[Drawing 8] The circuit diagram of the active-matrix circuit of an example is shown.

[Drawing 9] The circuit diagram of the active-matrix circuit of an example is shown.

[Drawing 10] Arrangement and the circuit diagram of the active-matrix circuit of an example are shown.

[Drawing 11] The production process of the active-matrix circuit element of an example is shown.

[Drawing 12] The concept of the production process of the circuit element of an example is shown. (Sectional view)

[Drawing 13] Arrangement of the active-matrix circuit of an example is shown.

[Drawing 14] Arrangement of the active-matrix circuit of an example is shown.

[Drawing 15] Arrangement of the active-matrix circuit of an example is shown.

[Description of Notations]

- 10 Substrate
- 11 Semi-conductor coat
- 12 Gate dielectric film
- 13 Gate signal line
- 14 Source
- 15 Drain
- 16 Insulating material between the 1st layer
- 17 Data signal line
- 18 Insulating material between the 2nd layer

- 19 Protection-from-light layer
- 20 Insulating material between the 3rd layer
- 21 Pixel electrode
- 22 Auxiliary capacity

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	1/136	5 0 0	1/136	5 0 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数 9 F D (全 10 頁)

(21) 出願番号 特願平8-118288

(22) 出願日 平成8年(1996)4月16日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

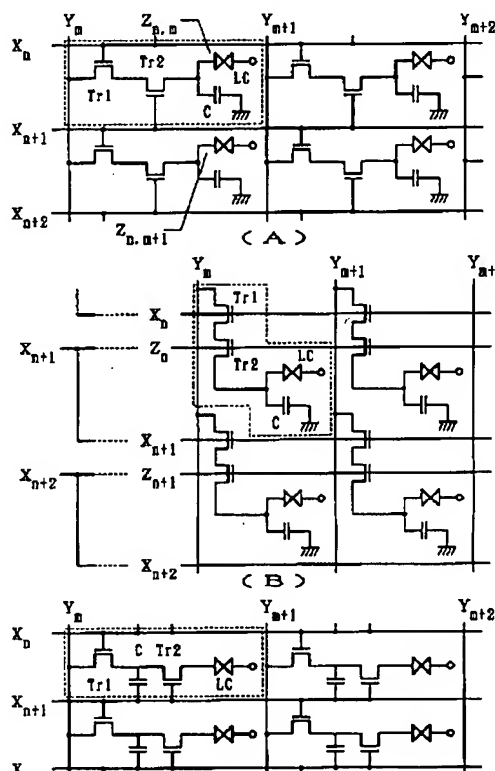
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス回路

(57) 【要約】

【目的】 OFF電流の少ないアクティブマトリクス回路を提供する。

【構成】 アクティブマトリクス回路において、1個の画素電極に対して複数のトランジスタを直列に接続して設け、前記直列接続したトランジスタを異なるゲート信号線によって制御する。



【特許請求の範囲】

【請求項1】 基板上にマトリクス状に配置された画素電極と、選択信号線と、前記選択信号線に交差するように配置されたデータ信号線と、前記画素電極のそれぞれに接続し、かつ、データ信号線に接続するスイッチング素子とを有するアクティブマトリクス回路において、第1のスイッチング素子は、第1の選択信号線と、前記第1の選択信号線に隣接する第2の選択信号線によって制御され、第1のスイッチング素子に隣接し、かつ、第1のスイッチング素子の接続するものと同じデータ信号線に接続する第2のスイッチング素子は、前記第2の選択信号線と、前記第2の選択信号線に隣接する第3の選択信号線によって制御されることを特徴とするアクティブマトリクス回路。

【請求項2】 基板上にマトリクス状に配置された画素電極と、選択信号線と、前記選択信号線に交差するように配置されたデータ信号線と、前記画素電極のそれぞれに接続し、かつ、データ信号線に接続するスイッチング素子とを有するアクティブマトリクス回路において、第1のスイッチング素子は、第1の選択信号線と、前記第1の選択信号線に隣接する第2の選択信号線によって制御され、第1のスイッチング素子に隣接し、かつ、第1のスイッチング素子の接続するものと同じデータ信号線に接続する第2のスイッチング素子は、前記第3の選択信号線と、前記第3の選択信号線に隣接する第4の選択信号線によって制御され、前記第2の選択信号線と第3の選択信号線には、同じ信号が印加されることを特徴とするアクティブマトリクス回路。

【請求項3】 請求項1もしくは請求項2において、前記データ信号線および選択信号線を覆って一定の電位に保持された導電性の遮光層が設けられ、該遮光層と画素電極とによって容量が形成されることを特徴とするアクティブマトリクス回路。

【請求項4】 請求項1もしくは請求項2において、スイッチング素子のそれぞれは複数のトランジスタを直列に接続して形成され、前記第1のスイッチング素子を構成するトランジスタの中間の部分と、前記第2の信号線との間で容量を形成することを特徴とするアクティブマトリクス回路。

【請求項5】 請求項1において、第1の信号線に印加されるパルスは第2の信号線に印加されるパルスと時間的に重なりを有し、

第2の信号線に印加されるパルスは第3の信号線に印加されるパルスと時間的に重なりを有することを特徴とするアクティブマトリクス回路。

【請求項6】 請求項2において、第1の信号線に印加されるパルスは第2の信号線に印加されるパルスと時間的に重なりを有し、

第3の信号線に印加されるパルスは第4の信号線に印加されるパルスと時間的に重なりを有することを特徴とするアクティブマトリクス回路。

【請求項7】 請求項1もしくは請求項2において、前記第1のスイッチング素子は前記第1の選択信号線が、半導体被膜を横断し、前記第2のスイッチング素子は前記第2の選択信号線が、前記半導体被膜を少なくとも2回横断する構成を有することを特徴とするアクティブマトリクス回路。

【請求項8】 請求項1において、単位画素は、そのアスペクト比を $a:b$ とするとき、 $a > b$ であることを特徴とするアクティブマトリクス回路。

【請求項9】 請求項2において、単位画素は、そのアスペクト比を $a:b$ とするとき、 $a < b$ であることを特徴とするアクティブマトリクス回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス回路に関する。本発明のアクティブマトリクス回路は、液晶表示等に使用される。

【0002】

【従来の技術】 図6(A)にアクティブマトリクス表示装置の従来例の概略図を示す。図中の破線で囲まれた領域が表示領域であり、その中にスイッチング素子として単一のトランジスタ (Tr) がマトリクス状に配置されている。このマトリクス中の第 n 行第 m 列に注目すると、前記トランジスタのソースに接続している配線が画像 (データ) 信号線 (Y_m) であり、前記トランジスタのゲート電極に接続している配線がゲート (選択) 信号線 (X_n) である。

【0003】 ここで、スイッチング素子について着目すると、前記トランジスタはデータのスイッチングを行い、液晶セル (LC) を駆動する。補助容量 (C) は、液晶セルの容量を補強するためのコンデンサで画像データの保持用として用いられる。前記トランジスタは液晶に印加する電圧の画像データをスイッチングするのに用いられる。トランジスタをスイッチング素子として用いる際の最大の問題点は、ゲートに選択パルスを印加していない状態 (非選択状態) における漏れ電流 (リーク電流、もしくは、OFF電流) であった。漏れ電流が大きければ、画素電極や補助容量に蓄積された電荷が容易に減少し、表示特性が悪化した。

【0004】

【発明が解決しようとする課題】 本発明は、上記の問題を鑑みてなされたものであり、複数のトランジスタを直列に接続したスイッチング素子において、その一端をデータ信号線に、他端を画素電極に接続し、かつ、各トランジスタの制御を互いに独立したゲート信号線によって行うことにより、漏れ電流を抑制する構成を提供する。

漏れ電流が減少する。

【0005】

【課題を解決するための手段】本発明の第1は、互いに隣接し、かつ、同じデータ信号線に接続された第1および第2のスイッチング素子があり、かつ、第1乃至第3の3つの連続したゲート信号線がある場合において、第1のスイッチング素子は、第1および第2の選択信号線によって制御され、かつ、第2のスイッチング素子は、第2および第3の選択信号線によって制御されることを特徴とする。

【0006】本発明の第2は、互いに隣接し、かつ、同じデータ信号線に接続された第1および第2のスイッチング素子があり、かつ、第1乃至第4の4つの連続したゲート信号線がある場合において、第1のスイッチング素子は、第1および第2の選択信号線によって制御され、第2のスイッチング素子は、第3および第4の選択信号線によって制御され、前記第2の選択信号線と第3の選択信号線には、同じ信号が印加されることを特徴とする。

【0007】図1(A)には本発明の第1の概念を示す回路図を、また、図1(B)には本発明の第2の概念を示す回路図を、それぞれ示す。図において点線で囲まれた領域は単位画素を示す。すなわち、図1(A)、

(B)のいずれにおいても、スイッチング素子は2つのトランジスタ($Tr1$ と $Tr2$)によって構成される。そして、 $Tr1$ と $Tr2$ は、それぞれ異なるゲート信号線によって制御される。図1(B)においては、各行あたり2本のゲート信号線(X_n と Z_n)が設けられる。しかしながら、図に示されるように、 Z_n と1行下のゲート信号線 X_{n+1} はマトリクスの外側で接続されており、すなわち、同じ信号が印加される。

【0008】本発明の第1および第2において、図6に示すような補助容量(C)を設けることも可能である。しかしながら、従来の場合には、図7に示すように、隣接するゲート信号線(X_{n+1})との間に容量を形成することも可能であったが、本発明においては好ましくない。なぜならば、本発明において画素電極に隣接するゲート信号線は、当該画素を駆動するゲート信号線であるので、選択パルスのON/OFFに応じて、画素電極の電位の変動(スルー電圧降下という)があるからである。

【0009】このため、本発明では、補助容量は他の配線との間で形成することが好ましい。例えば、導電性材料で遮光層を形成し、これを一定の電位に保持し、これと画素電極の重なりを設けて容量とするとよい。また、図1(C)に示すように、 $Tr1$ と $Tr2$ の間の部分(中間の部分)と、 $Tr2$ を制御するゲート信号線との間で重なりを設け、容量としてもよい。ただし、 $Tr1$ を制御するゲート信号線との間で容量を設けることは好ましくない。その理由は後述する。図1(C)は図1

(A)の回路に適用した場合であるが、図1(B)の回路にも同様に適用できる。

【0010】以上の議論から誘導されるが、本発明の第1においては、第1の信号線に印加されるパルスは第2の信号線に印加されるパルスと時間的な重なりを有し、同様に第2の信号線に印加されるパルスは第3の信号線に印加されるパルスと時間的な重なりを有する。第1の信号線に印加されるパルスは第2の信号線に印加されるパルスと時間的な重なりがなければ、 $Tr1$ と $Tr2$ を同時にONとすることができず、したがって、画素電極に充電することができない。

【0011】同様に本発明の第2においても、第1の信号線に印加されるパルスは第2の信号線に印加されるパルスと時間的な重なりを有し、第3の信号線に印加されるパルス(第2の信号線に印加されるものと同じである)は第4の信号線に印加されるパルスと時間的な重なりを有する。

【0012】この様子を図2に示す。図2において、 V_n は図1(A)のゲート信号線 X_n の電圧状態を示し、 D_m がデータ信号線 Y_m の電圧状態を示す。図からわかるように、 V_n と V_{n+1} 、 V_{n+1} と V_{n+2} のパルスは互いに重なる。そして、重なったときの D_m (例えば、画素 $Z_{n,m}$ には $D(Z_{n,m})$ が、画素 $Z_{n+1,m}$ には $D(Z_{n+1,m})$ が該当する画素電極に書き込まれる。 V_{n+2} と D_m には、比較のため、 V_n を点線で併記した。

【0013】図2(A)は選択パルスが上から順々に印加される場合を、また、図2(B)は選択パルスが下から順々に印加される場合を、それぞれ示す。図2(B)の場合には、データ信号 D_m は、図2(C)のようにしてもよい。以上の記述で、上から順に、とか、下から順に、というような表現をしたが、これをより一般的に表現すると、前者は、「データ信号線に接続するトランジスタ($Tr1$)に先に選択パルスを印加する(すなわち、 $Tr1$ が先にONとなり、OFFとなる)」方式であり、後者は、「画素電極に接続するトランジスタ($Tr2$)に先に選択パルスを印加する(すなわち、 $Tr2$ が先にONとなり、OFFとなる)」方式となる。

【0014】図1(C)に示すように、特定のゲート信号線との間に容量を形成する場合においては、下から順に選択パルスを印加する場合(より一般的な表現は上記を参照のこと)は容量が補助容量として機能しないので注意が必要である。

【0015】例えば、図2(B)の場合を考察する。画素 $Z_{n,m}$ に着目すると、 $Tr1$ と $Tr2$ が同時にONとなっている状態においては、もちろん、当該画素に書き込まれるべきデータ $D(Z_{n,m})$ である。その後、 $Tr2$ はOFFとなり、 $Tr1$ のみがON状態を保つが、その際には、データは次のものになる。もちろん、 $Tr2$ はOFFであるので、画素容量LCの電位は変動しない。しかしながら、補助容量Cには、次の3つのパルスが書き

込まれることとなる。したがって、容量Cは、画素容量LCの補助容量とはならない。図2(C)の場合も同様である。

【0016】本発明において、Tr1がON状態である期間の全てにわたって、当該画素のデータを送りつづけることは不可能である。なぜならば、Tr1は、その上の画素の信号の制御にも関わっているからである。

【0017】以上の議論から、先にTr1を制御するゲート信号線(X_n)との間に容量を形成することが好ましくない理由が説明できる。このような回路配置においては、容量Cとゲート信号線の結合による画素電極の電位の変動を避けるために、先にTr2をOFFとすること(すなわち、下から順に選択パルス印加する方式)が必要である。しかし、その場合、Tr2がOFFとなった後もTr1はONであり、容量Cには当該画素のものではない信号が書き込まれている。したがって、容量Cは補助容量として不適當である。また、Tr1がOFFとなるとき、容量Cの電位はゲート信号線の電位と同じだけ大きく低下し、この意味でもこのような容量は好ましくない。

【0018】上から順に選択パルス印加する場合においては、先にTr1がOFFとなり、その際の容量Cの電位は画素容量LCの電位と同じであり、その後、Tr2がOFFとなっても、既にデータ信号線との電流のやりとりはないので、何ら問題は生じない。

【0019】

【実施例】

【実施例1】 図3乃至図5を用いて本実施例を説明する。図3には、本実施例のアクティブマトリクス回路を作製工程順に上面から見た様子を示す。図4は本実施例の回路を構成する素子・配線等の作製工程の断面を概念的に示す。図5は本実施例のアクティブマトリクス回路の回路図を示す。図4の断面図は、図3の特定の箇所の断面と対応することはなく、あくまでも本実施例で用いられる素子・配線の作製工程を示すだけの概念的な図面である。

【0020】絶縁表面を有する基板10上に島状の結晶性半導体被膜11を公知の方法によって形成する。さらに、それを覆って、ゲート絶縁膜12を形成する。そして、ゲート信号線13を形成する。(図3(A)および図4(A))

そして、ゲート信号線13をマスクとして、自己整合的に半導体被膜11にN型もしくはP型の不純物を導入し、ソース14、ドレイン15を形成する。さらに、ゲート信号線13を覆って、第1の層間絶縁物16を堆積する。(図4(B))

【0021】次に、ソース14に通じるコンタクトホールを形成し、データ信号線17を形成する。さらに、データ信号線を覆って第2の層間絶縁物18を堆積する。

次に、遮光すべき領域に金属性の遮光層19を形成する。(図3(D))

さらに、遮光層19を覆って、第3の層間絶縁物20を堆積する。そして、第1乃至第3の層間絶縁物16、18、20をエッチングして、ドレイン15に達するコンタクトホールを形成する。

【0022】さらに、透明導電性被膜により、画素電極21を形成する。この際、画素電極21は遮光層19と重なるように形成し、遮光層19と画素電極21によって容量22が形成されるようにする。(図4(D))

かくして、図5に示すような回路を得ることができる。本実施例では、画素容量の補助容量として、遮光層19(使用時には一定の電位に保たれる)と画素電極21によって得られる容量22を用いる。(図5)

【0023】本実施例では、図3からもわかるように、半導体被膜11の長さはゲート信号線の間隔によってほぼ決定される。ゲート信号線の間隔が大きいと、半導体被膜11が必然的に長くなり、回路の抵抗が増大する。したがって、ゲート信号線の間隔の狭い回路、すなわち、画素の形状がゲート信号線に沿った方向に長いものに適する。逆に、画素の形状がデータ信号線に沿った方向に長いものでは、ゲート信号線の間隔が大きいので、本実施例は適切でない。

【0024】一般に画素の形状は画面全体の形状によって決定される。本実施例において効果を有するものは、EDTV、HDTV等の画面のアスペクト比(横と縦の比、すなわち、ゲート信号線の方向の辺の長さ:データ信号線の方向の辺の長さ)をa:bとしたときに、a>bとなるものである。具体的には、アスペクト比が3:2以上、例えば16:9のもので、単色のもの(例えば、投影(プロジェクション)型の表示装置に用いられるパネル)に適している。

【0025】【実施例2】 図8(A)に示す回路図を用いて本実施例を説明する。本実施例は製造工程は実施例1に示されたものと実質的に同じであり、符号も同じである。しかしながら、回路配置において、図8(A)に示すように、第1のトランジスタと第2のトランジスタの間に容量22を形成したことを特徴とする。しかも、図1(C)に示されるようなゲート信号線との間に容量を形成するのではなく、実施例1と同様にブラックマトリクス用の導電性被膜19との間に容量を形成する。このように設けた容量においても図1(C)の補助容量Cと同様に使用できる。(図8(A))

【0026】上記のような回路の実際の配線等の配置例を図14に示す。図14における符号も実施例1のものと同じである。図に示すように、半導体被膜11を幅広く形成し、これと、その上に形成される導電性被膜(図示せず)との間に、層間絶縁物を誘電体とした容量が形成される。(図14)

【0027】【実施例3】 図9に示す回路図を用いて

本実施例を説明する。本実施例では、第1のトランジスタ（データ信号線に接続するトランジスタ）を制御するゲート信号線と第2のトランジスタ（画素電極に接続するトランジスタ）を制御するゲート信号線を分離したものであり、すなわち、図9（A）においては、 X_{2n} 、 X_{2n+2} 、 X_{2n+4} 、... が前者であり、 X_{2n+1} 、 X_{2n+3} 、... が後者である。同様に、図9（B）においては、 X_{2n+1} 、 X_{2n+3} 、... が前者であり、 X_{2n} 、 X_{2n+2} 、 X_{2n+4} 、... が後者である。例えば、図1に示される回路においては、全てのゲート信号線が第1のトランジスタも第2のトランジスタも制御する。

【0028】このような回路においては、ゲート信号線に印加される信号も図2に示されるものとは異なり、図9（B）の回路図の右に示すように、第1のトランジスタを制御するゲート信号線に印加されるパルス波形は第2のトランジスタを制御するゲート信号線に印加されるものと異なる。図9（B）に示される駆動信号を用いると、各画素において、先に第2のトランジスタをOFFとした後に、第1のトランジスタをOFFとできる。この逆の動作（第1のトランジスタをOFFとした後に、第2のトランジスタをOFFとする）では、ON状態の第2のトランジスタに蓄積されていた電荷の一部が画素電極に移動し、画素電極の電位変動の原因となる。

【0029】〔実施例4〕 図10（A）を用いて本実施例を説明する。本実施例は、図1（B）の回路図を有するアクティブマトリクス回路の実際の配置を示したものである。本実施例の回路の製造方法は実施例1と同様であり、図10（A）の符号も実施例1のものと同じである。図10（A）は単位画素の配線の配置を示し、図3（B）に相当する工程での様子を示す。本実施例では、実施例1とは異なり、ゲート信号線は1行あたり2本必要であり、開口率が低下する。しかしながら、ゲート信号線の間隔によって半導体被膜11の長さが制限されることはないで、実施例1では不適切とされたアスペクト比を $a:b$ としたときに、 $a < b$ となるものであっても何ら問題はない。

【0030】本実施例の回路（すなわち、図1（B）で示される回路）と実施例1の回路（すなわち、図1（A）で示される回路）との相違点を図15を用いて説明する。図15には、簡単にするためゲート信号線とデータ信号線のみを示し、半導体被膜等は示さない。

【0031】まず、図15（A）、（B）のように、画素が横長（アスペクト比3:1）ものについて考察する。本実施例を採用した場合（図15（A））は単位画素（図中に点線の四角で表示）に占める配線（ゲート信号線とデータ信号線）の割合が、実施例1の場合（図15（B））に比較して大きくなる。このため、横長の画素に本実施例を適用することは好ましくない。（図15（A）、同図（B））

【0032】次に、画素が縦長（アスペクト比1:3）ものについて考察する。本実施例を採用した場合（図15（A））は単位画素（図中に点線の四角で表示）に占める配線（ゲート信号線とデータ信号線）の割合が、実施例1の場合（図15（B））に比較して大きくなる。このため、縦長の画素に本実施例を適用することは好ましくない。（図15（A）、同図（B））

ものについて考察する。本実施例を採用した場合（図15（C））でも単位画素（図中に点線の四角で表示）に占める配線（ゲート信号線とデータ信号線）の割合は、実施例1の場合（図15（D））と大きくは変わらない。逆に、実施例1のものでは、図には示されていないが、半導体被膜が長くなるため、その抵抗が問題となる。加えて、半導体被膜の単位画素に占める割合も大きい。このため、横長の画素に本実施例を適用することは好ましくない。（図15（C）、同図（D））

【0033】上記のような縦長の画素は通常のアスペクト比4:3の表示パネルにおいても単位絵素あたりに3原色に対応する3つの画素を有するカラーパネルにおいて用いられる。すなわち、このようなパネルにおいては、単位絵素はほぼ正方形であるが、単位絵素は、行方向に3分割されるので、単位画素はアスペクト比1:3の縦長のものとなる。

【0034】〔実施例5〕 図10（B）および同図（C）を用いて本実施例を説明する。本実施例は、図1（A）の回路図を有するアクティブマトリクス回路をさらに発展させたものである。本実施例の回路の製造方法は実施例1と同様であり、図10（B）の符号も実施例1のものと同じである。図10（B）は単位画素の配線の配置を示し、図3（B）に相当する工程での様子を示す。また、図10（C）には、単位画素の回路図を示す。なお、補助容量は、実施例1と同様に導電性ブラックマトリクス被膜と画素電極の一部を用いて構成する。

【0035】本実施例では、第2のスイッチング素子に関して、ゲート信号線 X_{n+1} が半導体被膜を少なくとも2回以上横断するように形成した、いわゆるマルチゲート型のトランジスタとすることにより、より一層のリーク電流低減を図ることができる。図10（B）は図1（A）に示される回路においてマルチゲート型トランジスタを適用したものであるが、図1（B）（もしくは図10（A））に示される回路（回路配置）においても同様に適用できることは明らかである。

【0036】〔実施例6〕 図11、図12に本実施例を示す。本実施例のアクティブマトリクス回路は、図1（C）に示される回路図の実際の配置を示したものである。図11には、本実施例のアクティブマトリクス回路を作製工程順に上面から見た様子を示す。図12は本実施例の回路を構成する素子・配線等の作製工程の断面を概念的に示す。図12の断面図は、図11の特定の箇所の断面と対応することではなく、あくまでも本実施例で用いられる素子・配線の作製工程を示すだけの概念的な図面である。

【0037】絶縁表面を有する基板10上にゲート信号線13とそれを覆ってゲート絶縁膜12を形成する。さらに、島状の非晶質半導体被膜11を公知の方法によって形成する。（図11（A）および図12（A））

そして、公知の半導体被膜形成方法により、N型半導体被膜11を形成する。

P型の半導体被膜14（ソース）と15（ドレイン）を形成する。ここで、スイッチング素子を形成する部分（図12の左側）においては、半導体被膜14、15はゲート信号線によって分断されるように形成する。逆に補助容量22を形成する部分（図12の右側）においては、ゲート信号線を横切るように形成する。（図11（B）および図12（B））

【0038】次に、公知の金属配線形成技術によって、データ信号線17を形成する。かくして、回路の主要部は形成される。その後、画素電極や保護膜を形成して完成する。（図11（C）および図12（C））

本実施例では、補助容量22がゲート信号線13と半導体被膜15によって構成されるので、実施例1のような複数の層間絶縁物を形成する必要がないという特徴を有する。

【0039】〔実施例7〕 図8（B）、図13に本実施例を示す。本実施例のアクティブマトリクス回路の製造工程は実施例6と実質的に同じであり、符号も同じである。本実施例は、その回路図を図8（B）に示すように、図1（B）の回路において、図1（C）に示されたゲート信号線との間の補助容量を設ける例に関するものである。実際の配置は図13に示される。すなわち、半導体被膜11の一部がゲート信号線13（ Z_n ）と重なることにより、補助容量22となる。

【0040】

【発明の効果】以上に示したように、複数の薄膜トランジスタおよび適当な容量を接続することにより、液晶セルの電圧降下を抑制することができる。本発明は、より高度な画像表示が要求される用途において効果的である。すなわち、256階調以上の極めて微妙な濃淡を表現する場合には液晶セルの放電は1フレームの間に1%以下に抑えられることが必要である。従来方式（図6）はこの目的には適したものではなかった。

【0041】また、本発明は特に行数の多いマトリクスの表示等の目的に適した結晶性シリコン半導体の薄膜トランジスタを用いたアクティブマトリクス表示装置にも適している。一般に、行数の多いマトリクスでは、1行あたりの選択時間が短いのでアモルファスシリコン半導体の薄膜トランジスタは用いるのに適当でない。しかしながら、結晶性シリコン半導体を用いた薄膜トランジスタはOFF電流が多いことが問題となっている。このため、OFF電流を低減できる本発明はこの分野でも大きな貢献が可能である。

【0042】実施例においては、作製工程の詳細については述べなかったが、本発明は回路の配置、設計に関するものであるので、公知の様々な素子・配線形成方法を本発明に適用するに際しては、何ら矛盾することがないことは明らかである。例えば、いわゆる低濃度ドレイン（LDD）を有するトランジスタ素子でも、オフセット

ゲート構造を有するトランジスタ（例えば、特開平5-114724、同5-267667）でも、本発明を実施するに際しては何ら支障はない。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス回路図を示す。

【図2】 本発明によるアクティブマトリクス回路の駆動例を示す。

【図3】 実施例のアクティブマトリクス回路素子の製造工程を示す。

【図4】 実施例の回路素子の製造工程の概念を示す。（断面図）

【図5】 実施例のアクティブマトリクス回路の回路図を示す。

【図6】 従来のアクティブマトリクス回路の回路図を示す。

【図7】 従来のアクティブマトリクス回路の回路図を示す。

【図8】 実施例のアクティブマトリクス回路の回路図を示す。

【図9】 実施例のアクティブマトリクス回路の回路図を示す。

【図10】 実施例のアクティブマトリクス回路の配置および回路図を示す。

【図11】 実施例のアクティブマトリクス回路素子の製造工程を示す。

【図12】 実施例の回路素子の製造工程の概念を示す。（断面図）

【図13】 実施例のアクティブマトリクス回路の配置を示す。

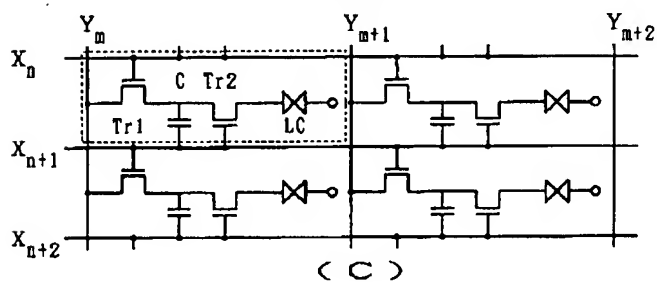
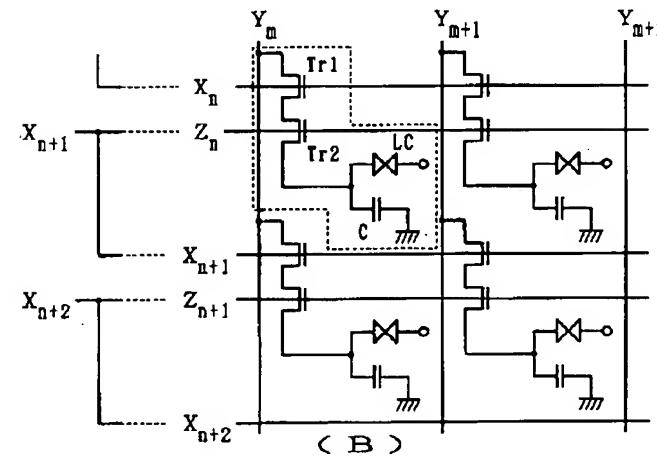
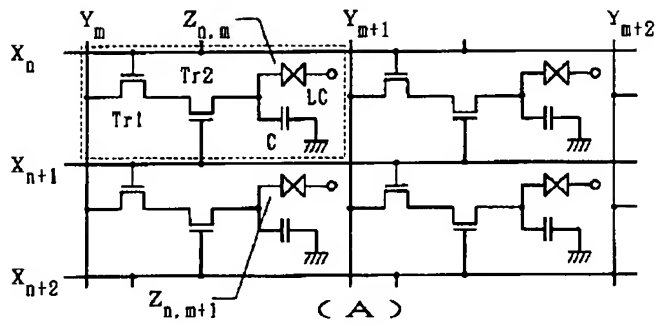
【図14】 実施例のアクティブマトリクス回路の配置を示す。

【図15】 実施例のアクティブマトリクス回路の配置を示す。

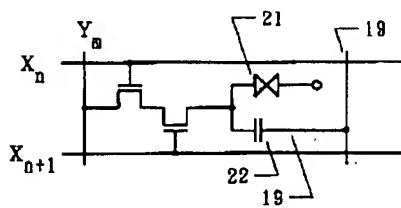
【符号の説明】

- 10・・・基板
- 11・・・半導体被膜
- 12・・・ゲート絶縁膜
- 13・・・ゲート信号線
- 14・・・ソース
- 15・・・ドレイン
- 16・・・第1層間絶縁物
- 17・・・データ信号線
- 18・・・第2層間絶縁物
- 19・・・遮光層
- 20・・・第3層間絶縁物
- 21・・・画素電極
- 22・・・補助容量

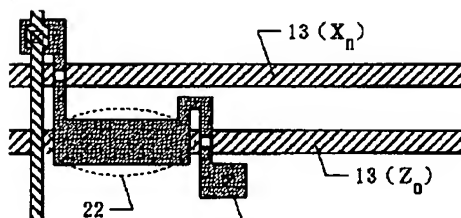
【図 1】



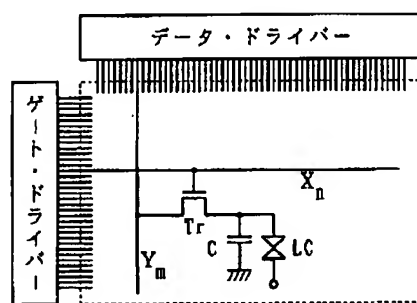
【図 5】



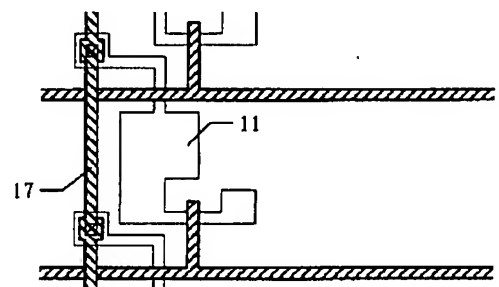
【図 13】



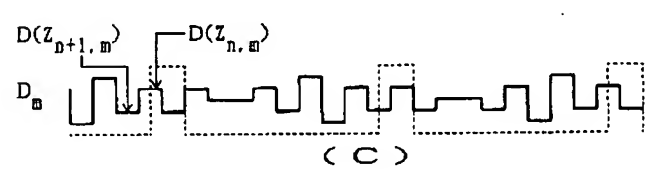
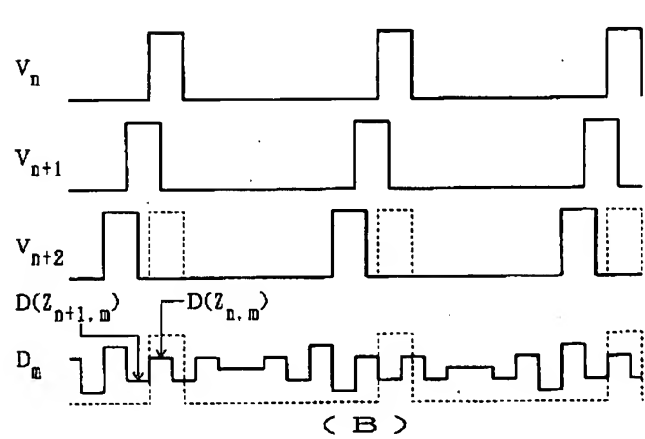
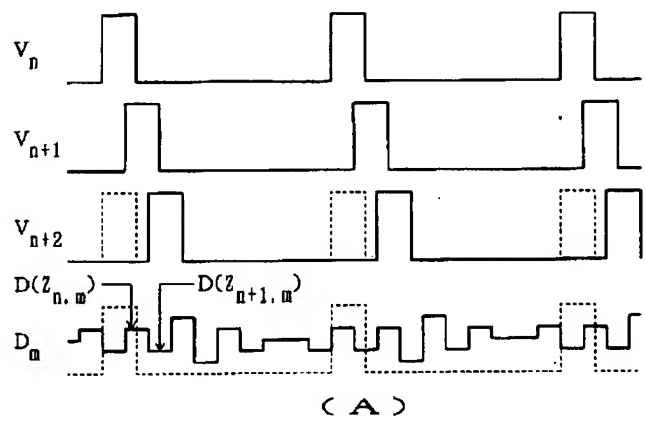
【図 6】



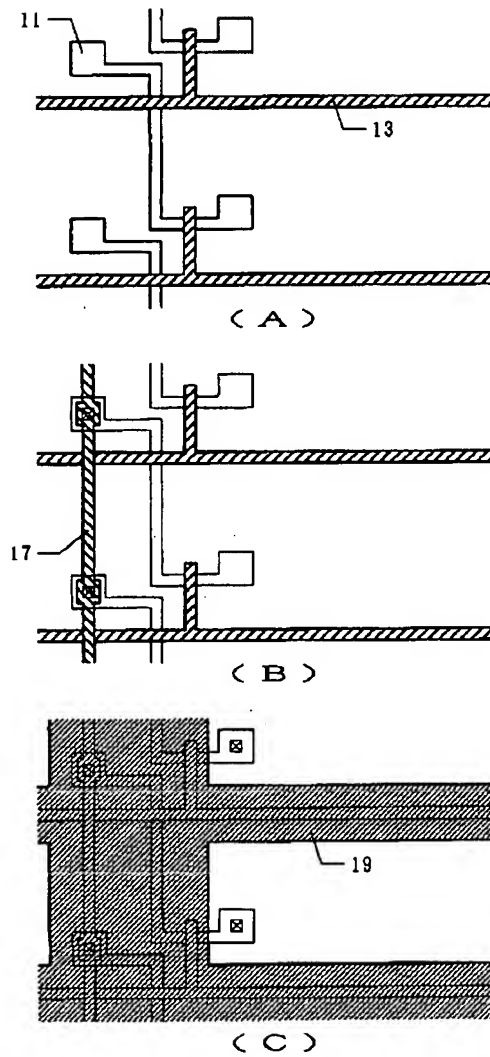
【図 14】



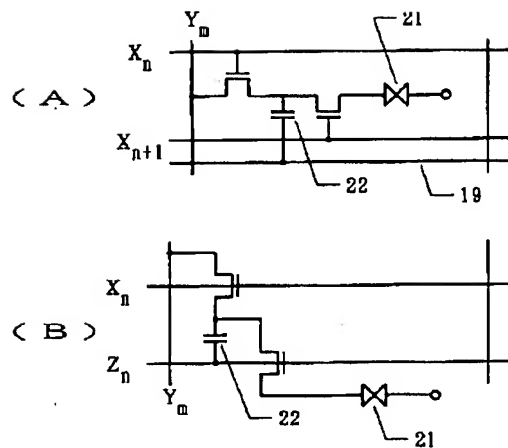
【図 7】



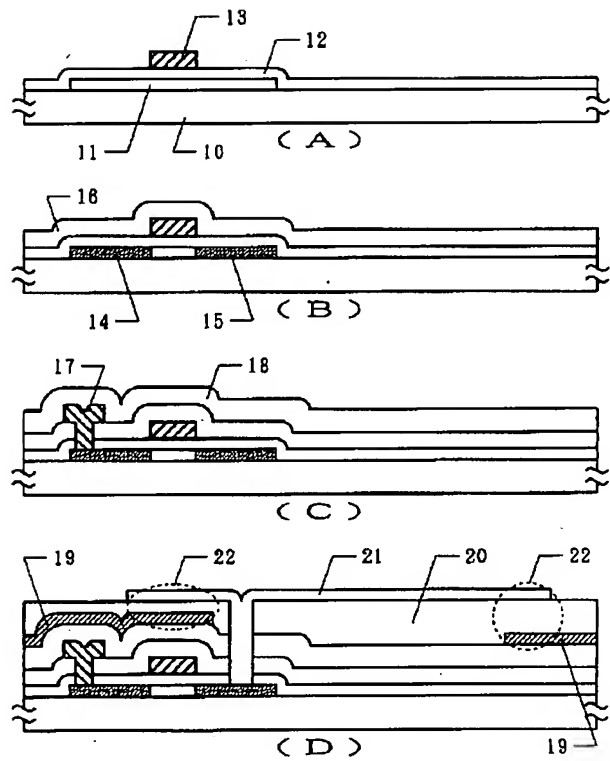
【図3】



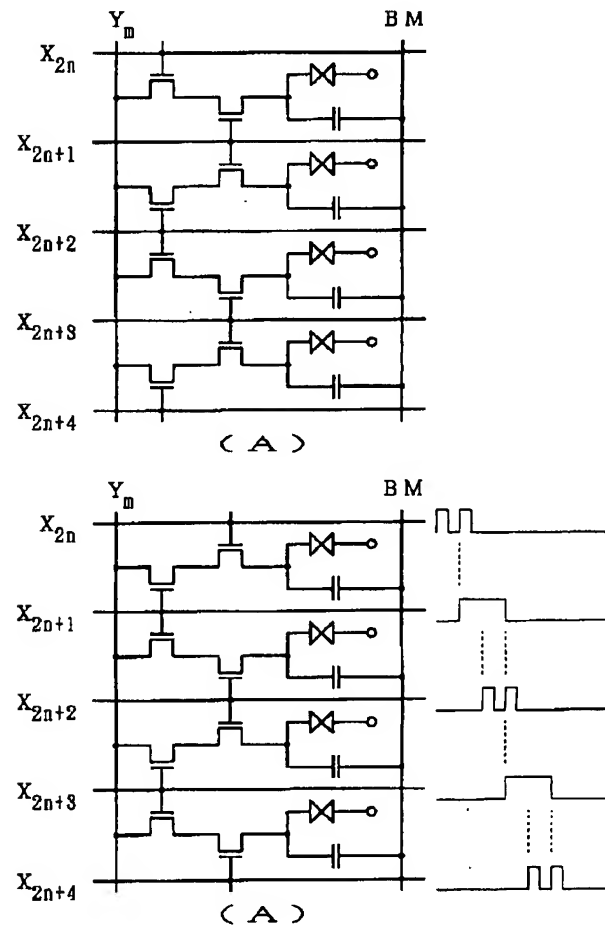
【図8】



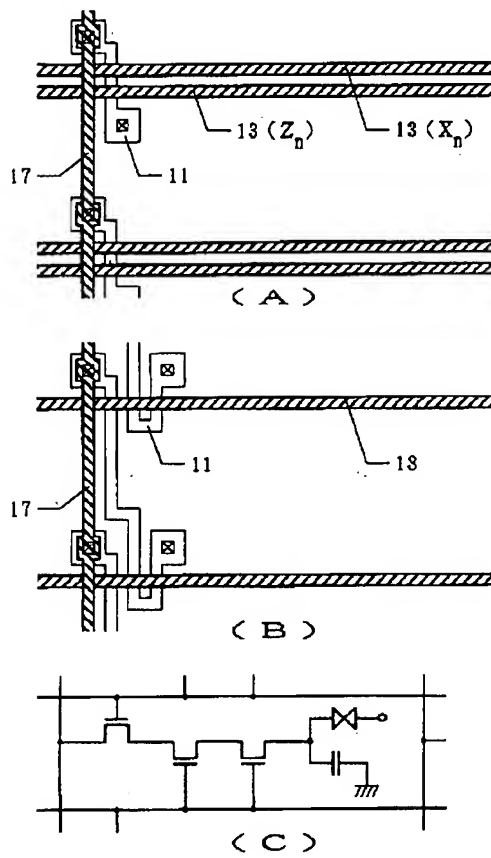
【図4】



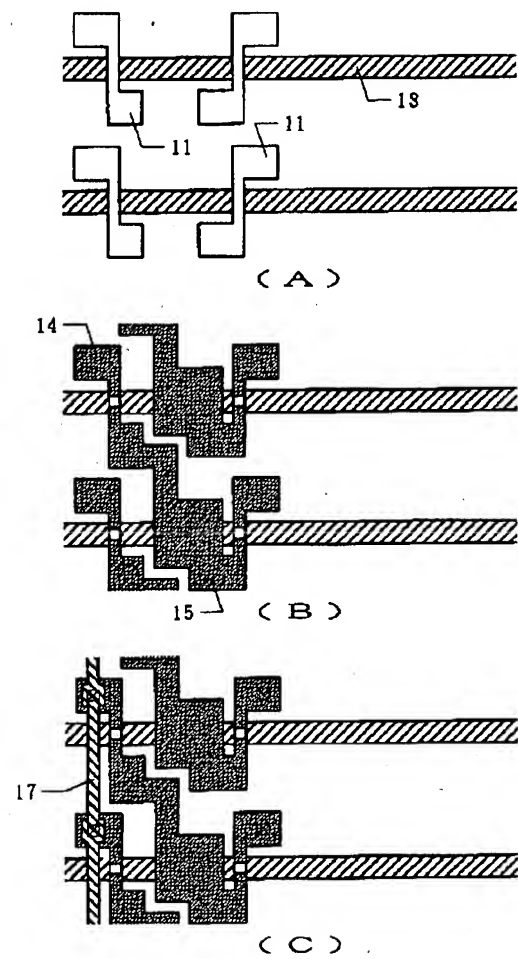
【図9】



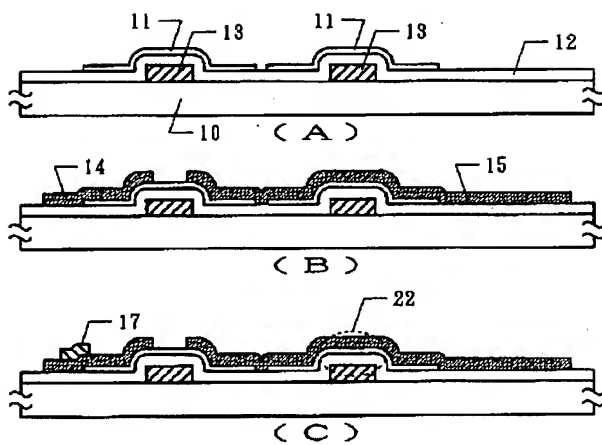
【図10】



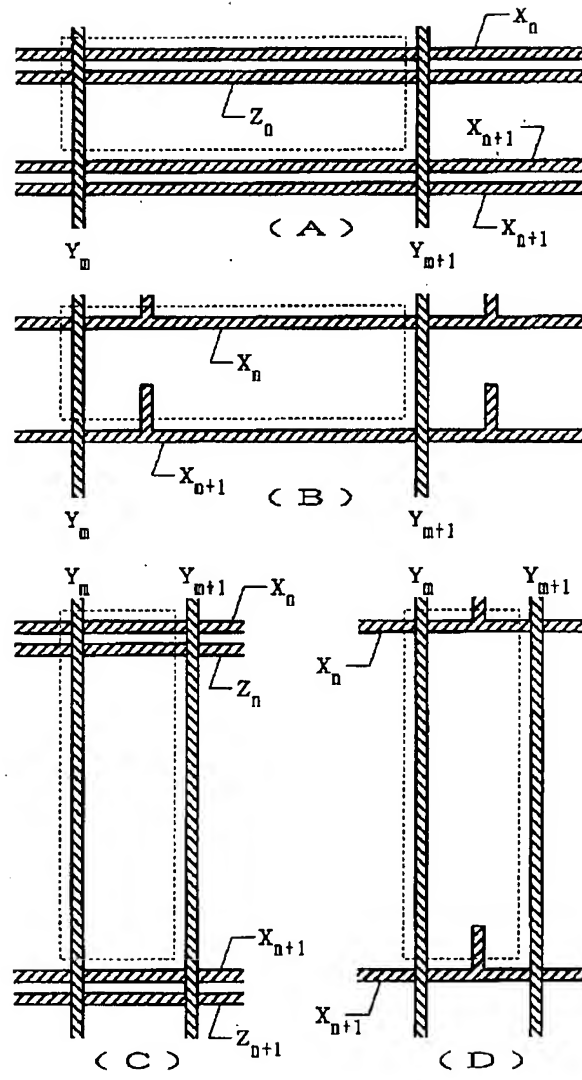
【図11】



【図12】



【図 15】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 13 年 2 月 9 日 (2001. 2. 9)

【公開番号】特開平 9-281465

【公開日】平成 9 年 10 月 31 日 (1997. 10. 31)

【年通号数】公開特許公報 9-2815

【出願番号】特願平 8-118288

【国際特許分類第 7 版】

G02F 1/133 550

1/136 500

G09G 3/36

H01L 29/786

【F I】

G02F 1/133 550

1/136 500

G09G 3/36

H01L 29/78 612 C

【手続補正書】

【提出日】平成 11 年 9 月 29 日 (1999. 9. 29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 アクティブマトリクス回路および表示装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 基板上にマトリクス状に配置された画素電極と、選択信号線と、前記選択信号線に交差するデータ信号線と、前記データ信号線に接続されたスイッチング素子とを有し、前記画素電極それぞれに前記スイッチング素子が接続されたアクティブマトリクス回路において、

前記第 1 のスイッチング素子は、第 1 の選択信号線と前記第 1 の選択信号線に隣接する第 2 の選択信号線によって制御され、

前記第 1 のスイッチング素子に隣接し、かつ、前記第 1 のスイッチング素子と同じデータ信号線に接続された第 2 のスイッチング素子は、前記第 2 の選択信号線と、前記第 2 の選択信号線に隣接する第 3 の選択信号線によって制御されることを特徴とするアクティブマトリクス回路。

【請求項 2】 請求項 1 において、前記第 1 の選択信号線に印加されるパルス信号は第 2 の選択信号線に印加されるパルス信号と時間的に重なりを有し、第 2 の選択信号線に印加されるパルス信号は第 3 の選択信号線に印加されるパルス信号と時間的に重なりを有することを特徴とするアクティブマトリクス回路。

【請求項 3】 請求項 1 又は 2 において、単位画素は、横の長さを a とし、縦の長さを b とするとき、 $a > b$ であることを特徴とするアクティブマトリクス回路。

【請求項 4】 基板上にマトリクス状に配置された画素電極と、選択信号線と、前記選択信号線に交差するデータ信号線と、前記データ信号線に接続されたスイッチング素子とを有し、前記画素電極それぞれに前記スイッチング素子が接続されたアクティブマトリクス回路において、

第 1 のスイッチング素子は、第 1 の選択信号線と、前記第 1 の選択信号線に隣接する第 2 の選択信号線によって制御され、

前記第 1 のスイッチング素子に隣接し、かつ、前記第 1 のスイッチング素子と同じデータ信号線に接続された第 2 のスイッチング素子は、第 3 の選択信号線と、前記第 3 の選択信号線に隣接する第 4 の選択信号線によって制御され、

前記第 2 の選択信号線と第 3 の選択信号線には、同じパルス信号が印加されることを特徴とするアクティブマトリクス回路。

【請求項 5】 請求項 4 において、第 1 の信号線に印加されるパルス信号は第 2 の信号線に印加されるパルス信号と時間的に重なりを有し、

第 2 の信号線に印加されるパルス信号は第 4 の信号線に

印加されるパルス信号と時間的に重なりを有することを特徴とするアクティブマトリクス回路。

【請求項6】 請求項4又は5において、単位画素は、横の長さを a とし、縦の長さを b とするとき、 $a < b$ であることを特徴とするアクティブマトリクス回路。

【請求項7】 請求項1～6のいずれか1項において、前記データ信号線および前記選択信号線を覆って導電性の遮光層が設けられ、該遮光層と前記画素電極とによって容量が形成されることを特徴とするアクティブマトリクス回路。

【請求項8】 請求項7において、前記遮光層は一定の電位に保持されることを特徴とするアクティブマトリクス回路。

【請求項9】 請求項1～8のいずれか1項において、前記スイッチング素子は直列に接続された複数のトランジスタを有し、前記第2の選択信号線に接続された容量が前記第1のスイッチング素子に接続されていることを特徴とするアクティブマトリクス回路。

【請求項10】 請求項1～8のいずれか1項において、前記第1のスイッチング素子は、前記第1の選択信号線により制御されるトランジスタと、前記第2の選択

信号線により制御されるトランジスタが直列に接続された素子であって、

前記第1の選択信号線により制御されるトランジスタの1つは、前記データ信号線に接続され、前記第2の選択信号線により制御されるトランジスタの1つは容量が接続されていることを特徴とするアクティブマトリクス回路。

【請求項11】 請求項1～8のいずれか1項において、前記第1のスイッチング素子の半導体被膜を前記第1の選択信号線が横断し、前記第2の選択信号線が少なくとも2回横断していることを特徴とするアクティブマトリクス回路。

【請求項12】 請求項1～11のいずれか1項に記載のアクティブマトリクス回路を用いたことを特徴とする表示装置。

【請求項13】 請求項12に記載の表示装置は、液晶表示装置であることを特徴とする表示装置。

【請求項14】 請求項3に記載のアクティブマトリクス回路を用いたことを特徴とするプロジェクション型表示装置。

【請求項15】 請求項3に記載のアクティブマトリクス回路を用いたことを特徴とするHDTV。